

SEMICONDUCTOR MEMORY DEVICE

Patent Number: JP7086528

Publication date: 1995-03-31

Inventor(s): KAWABE TAKESHI; others: 03

Applicant(s): SHARP CORP

Requested Patent:  JP7086528

Application Number: JP19940044357 19940315

Priority Number(s):

IPC Classification: H01L27/10; H01L27/04; H01L21/822; H01L21/8242; H01L27/108; H01L21/8247; H01L29/788; H01L29/792

EC Classification:

Equivalents: JP3299837B2

Abstract

PURPOSE: To increase the capacitor area equivalently and maintain a signal quantity stably without increasing the actual area occupied by a capacitor.

CONSTITUTION: The memory cell of a semiconductor memory device is composed of a MOSFET and a ferrodielectric capacitor. The ferrodielectric capacitor is composed of a lower electrode 8 which is connected to the source region 6 or drain region 5 of the MOSFET, a first ferrodielectric film 11 formed on the lower electrode 8, a middle electrode 10 formed on the first ferrodielectric film 11, a second ferrodielectric film 12 formed on the middle electrode 10 and an upper electrode 9 formed on the second ferrodielectric film 12.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-86528

(43) 公開日 平成7年(1995)3月31日

(51) Int.Cl.
H 01 L 27/10
27/04
21/822

識別記号 451
序内整理番号 7210-4M

P I

技術表示箇所

8832-4M H 01 L 27/04 C
7210-4M 27/10 325 J

審査請求 未請求 総請求項の数5 O L (全7頁) 最終頁に統く

(21) 出願番号

特願平6-44357

(22) 出願日

平成6年(1994)3月15日

(31) 優先権主張番号

特願平5-181677

(32) 優先日

平5(1993)7月22日

(33) 優先権主張国

日本 (JP)

(71) 出願人

000005049
シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者

川辺 武司

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者

荻本 泰史

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者

横山 誠一

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人

弁理士 野河 信太郎

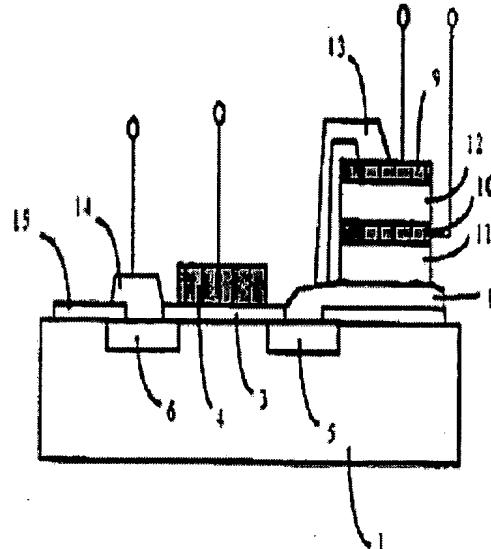
最終頁に統く

(54) 【発明の名称】 半導体記憶装置

⑥【要約】

【構成】 MOSFETと強誘電体キャパシタによりメモリセルを構成する半導体記憶装置であって、前記強誘電体キャパシタが、前記MOSFETのソース領域6またはドレイン領域5に接続された下部電極8、下部電極8上に形成された第1強誘電体膜11、第1強誘電体膜11上に形成された中間電極10、中間電極10上に形成された第2強誘電体膜12及び第2強誘電体膜12上に形成された上部電極9からなる半導体記憶装置。

【効果】 キャパシタ占有面積を増加させることなく、等価的にキャパシタ面積を増大することができ、安定に信号量を確保することが可能となった。



【特許請求の範囲】

【請求項1】 MOSFETと強誘電体キャパシタによりメモリセルを構成する半導体記憶装置であって、前記強誘電体キャパシタが、

前記MOSFETのソース領域またはドレイン領域に接続された下部電極、

該下部電極上に形成された第1強誘電体膜、

該第1強誘電体膜上に形成された中間電極、

該中間電極上に形成された第2強誘電体膜及び該第2強誘電体膜上に形成された上部電極からなることを特徴とする半導体記憶装置。

【請求項2】 強誘電体キャパシタの上部電極と下部電極とが同一の信号ラインに接続されるとともに、中間電極から分離されている請求項1記載の半導体記憶装置。

【請求項3】 強誘電体キャパシタが組成の異なる同一の材料を用いた第1強誘電体膜と第2強誘電体膜からなる請求項1又は2記載の半導体記憶装置。

【請求項4】 強誘電体キャパシタが異なる材料を用いた第1強誘電体膜と第2強誘電体膜からなる請求項1又は2記載の半導体記憶装置。

【請求項5】 強誘電体キャパシタが膜厚の異なる同一の材料を用いた第1強誘電体膜と第2強誘電体膜からなる請求項1又は2記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体記憶装置に関し、特に強誘電体キャパシタの積層構造を有する半導体記憶装置に関する。

【0002】

【従来の技術】 近年、半導体メモリにおいては、その微細加工技術の進歩により、記憶容量、集積度の向上が著しく、DRAMにおいては16Mビットが商品化され、256Mビットの可能性が示されつつある。また、その構造は1トランジスタ1キャパシタブレーナ構造からスタッカ構造、トレンチ構造へと変化し、最近では高誘電率材料の導入や新しいメモリセルの開発が望まれている。

【0003】 しかし、DRAM、SRAMは電源を切ると記録されている情報が失われてしまうという欠点があり、特にDRAMに関しては情報を保持するために、リフレッシュという操作が必要になる。一方、MOS電界効果トランジスタ(MOSFET)と強誘電体薄膜を絶縁膜として用いた強誘電体キャパシタを組み合わせた、強誘電体メモリが不揮発性メモリとして注目を浴びている。強誘電体材料が自発分極を持ち、ヒステリシスループを示すのは周知の通りであり、この強誘電体材料をキャパシタに用いることで、不揮発性メモリが実現できる。

【0004】 たとえば、図5に一般的な強誘電体メモリの回路図を示す。この強誘電体メモリは、一つのメモリ

セルがMOSFET47と強誘電体キャパシタ43により構成された、1トランジスター1キャパシタ構成であることを表している。MOSFET47のゲート電極がワードライン41に接続され、ソース電極又はドレイン電極の一方が強誘電体キャパシタ43の一方の電極に接続され、MOSFET47の残りの電極がピットライン46に接続され、強誘電体キャパシタ43の残りの電極がセルプレートを介してドライブライン40に接続された構造となっている。なお、図5においては、強誘電体メモリは、さらに、ピットラインキャパシタ45及びセンスアンプ44に接続されている。

【0005】 第6図に、上記メモリ素子の一部の断面図を示す。MOSFETは、フィールド酸化膜52により素子形成領域が規定され、この素子形成領域にソース領域56及びドレイン領域55として高濃度不純物領域が形成されたP型シリコン基板51上であって、ソース領域56及びドレイン領域55間に位置するように、ゲート絶縁膜53を介してゲート電極54が形成されて構成されている。そして、強誘電体キャパシタは、上記MOSFETのゲート電極54上に、絶縁膜を介して形成されている。つまり、ゲート電極54上の絶縁膜の上に、下部電極58、強誘電体膜61及び上部電極59が順次形成されて構成されている。そして、強誘電体キャパシタの上部電極59は、上部電極接続ライン63によって、MOSFETのソース領域56又はドレイン領域55に接続されており、下部電極58はドライブラインに接続されている。また、他方のソース領域55又はドレイン領域56はソース電極64に接続されている。

【0006】 上記のような構成の強誘電体不揮発性メモリの動作を簡単に説明すると、ドライブライン40及びワードライン41を制御して、強誘電体キャパシタ43にかかる電界を、記録したい情報に対応させて変化させることで、強誘電体薄膜内の分極を変化させる。即ち、例えば、分極方向が上方向を情報“0”、下方向を“1”に対応させる。これにより情報の書き込みを行う。又、情報の読み出しが強誘電体キャパシタに一定方向の電界をかけて、ピットライン46に流れる反転電流、非反転電流を観測し、センスアンプ44により検出する。

【0007】

【発明が解決しようとする課題】 上記した構造を有する強誘電体キャパシタを用いた半導体記憶装置においては、安定に信号を検出するために、分極に伴う蓄積電荷量を確保する必要がある。しかし、高集積化に伴って強誘電体キャパシタの面積が小さくなるにつれ、信号量が減少し、信号の安定な検出が難しくなり、誤動作の原因になったりする。あるいは、このような誤動作を防止することにより、高集積化が妨げられたりするという問題があった。

【0008】 本発明は上記課題に鑑みなされたものであ

って、誤動作を防止するとともに、高集積化をより一層図ることができ、更なる情報の多値記録を可能とする半導体記憶装置を提供することを目的としている。

【0009】

【課題を解決するための手段】本発明の半導体記憶装置によれば、MOSFETと強誘電体キャパシタによりメモリセルを構成する半導体記憶装置であって、前記強誘電体キャパシタが、前記MOSFETのソース領域またはドレイン領域に接続された下部電極、該下部電極上に形成された第1強誘電体膜、該第1強誘電体膜上に形成された中間電極、該中間電極上に形成された第2強誘電体膜及び該第2強誘電体膜上に形成された上部電極からなる半導体記憶装置が提供される。

【0010】本発明の半導体記憶装置におけるMOSFETと強誘電体キャパシタは、半導体基板上に形成されているものであり、この半導体基板としては特に限定されるものではないが、シリコン基板が好ましい。MOSFETは、主として、半導体基板に形成されたソース／ドレイン領域とゲート電極とからなる。半導体基板としてP型基板を用いた場合にはソース／ドレイン領域はN型の不純物、例えばリン又は砒素が、約3.0～7.0KeV、 $1 \times 10^{15} \sim 1 \times 10^{16}$ cm⁻²程度注入されている。なお、N型基板を用いる場合にはP型の不純物が注入されていてもよい。また、半導体基板上には、膜厚10～30nm程度のゲート絶縁膜を介して、膜厚300～1000nm程度のゲート電極が形成されている。ゲート絶縁膜としてはSiO₂が好ましく、ゲート電極としては、通常電極材料として用いることができるものであれば、特に限定されるものではないが、ポリシリコンが好ましい。これら絶縁膜及び電極は公知の方法、例えば、CVD法等により所望の膜厚に形成することができる。

【0011】強誘電体キャパシタは、下部電極、第1強誘電体膜、中間電極、第2強誘電体膜及び上部電極が順次積層されて形成されている。下部電極、中間電極及び上部電極は、通常電極材料として用いられる材料、例えば、ポリシリコン、シリサイド、ポリサイド、W、Mo等を用いることができるが、RuO₂ Pt又はReO₂等が好ましい。これら電極は、公知の方法、例えばスパッタリング法、CVD法等により、膜厚300～1000nm程度に形成することができる。また、これら電極材料層を、フォトリソグラフィ工程、公知のエッチング法により所望の電極形状に加工することができる。上記下部電極、中間電極、上部電極はそれぞれ異なる信号ラインに接続してもよいが、上部電極と下部電極とを同一の信号ラインに接続し、この信号ラインを中間電極と分離することが好ましい。上部及び下部電極と中間電極とを分離することによりメモリセル部へのアクセス及び検出のための信号ラインの数が減少され、一層の高集積化が図られる。

【0012】また、第1及び第2強誘電体膜としては、強誘電体材料であれば特に限定されるものではないが、チタン酸ジルコン酸鉛(PZT)、チタン酸ビスマス(Bi₄Ti₃O₁₂)やPLZTのような強誘電性を示す材料が好ましい。これら強誘電体材料を第1及び第2強誘電体膜として用いる場合には、同じ材料を同じ膜厚で、同じ材料を異なる膜厚で、異なる材料を同じ膜厚で、異なる材料を異なる膜厚で、組成の異なる同じ材料を同じ膜厚で、組成の異なる同じ材料を異なる膜厚で形成することができる。この場合の膜厚は50～300nm程度で適宜選択して組み合わせができる。例えば、第1及び第2強誘電体膜の材料が同じで組成が異なり、膜厚が同じ場合の組み合わせとしては、PZTを用いた場合にはPb(Zr0.20Tl0.40)O₃を50～200nmとPb(Zr0.30ZTl0.70)O₃を50～200nm、PLZTを用いた場合には(Pb0.90ZL0.10)(Zr0.60Tl0.40)O₃を50～200nmと(Pb0.90ZL0.10)(Zr0.20ZTl0.80)O₃を50～200nmが好ましい。第1及び第2強誘電体膜の材料が同じで組成が異なり、膜厚が異なる場合の組み合わせとしては、PZTを用いた場合には、Pb(Zr0.20Tl0.40)O₃を50～200nmとPb(Zr0.30ZTl0.70)O₃を50～100nm、PLZTを用いた場合には(Pb0.90ZL0.10)(Zr0.60Tl0.40)O₃を100～200nmと(Pb0.90ZL0.10)(Zr0.20ZTl0.80)O₃を50～100nmが好ましい。第1及び第2強誘電体膜の材料が異なり、膜厚が同じ場合の組み合わせとしては、PZTを50～200nmとBi₄Ti₃O₁₂を50～200nm、PLZTを50～200nmとBi₄Ti₃O₁₂を50～200nmが好ましく、特に、PZTを50～200nmとPLZTを50～200nmが好ましい。また、第1及び第2強誘電体膜の材料が異なり、膜厚が異なる場合の組み合わせとしては、PZTを50～100nmとBi₄Ti₃O₁₂を100～200nm、PZTを50～100nmとPLZTを100～200nmが好ましい。第1及び第2強誘電体膜の材料が同じで、膜厚が異なる場合の組み合わせとしては、PZTを用いた場合には50～100nmと100～200nm、チタン酸ビスマスを用いた場合には50～100nmと100～200nm、PLZTを用いた場合には50～100nmと100～200nmが好ましい。

【0013】上記いずれの場合にも各強誘電体膜の分極状態を独立に制御できるような組合せであれば特に限定されるものではない。ここで、各強誘電体膜の分極状態を独立に制御することができるということは、例えば、図3に示したように、第1強誘電体膜と第2強誘電体膜とがAとBのように異なったヒステリシス曲線を有する

ことを意味する。このようにヒステリシス曲線が異なれば、各電極に印加する電圧を種々変化させることにより、各強誘電体膜の分極状態を独立に制御することができる。

【0014】これら強誘電体膜は、公知の方法、例えばスパッタリング法、CVD法等により形成することができます。また、これら強誘電体膜をフォトリソグラフィ工程、公知のエッチング法により所望の強誘電体膜形状に加工することができる。本発明の半導体記憶装置は、MOSFETのソース領域またはドレイン領域に、強誘電体キャパシタの下部電極が接続されているものであり、強誘電体キャパシタはMOSFETの近傍に形成されていても良く、MOSFETのゲート電極上に絶縁膜を介して積層されていてもよい。

【0015】

【作用】上記のように本発明の半導体記憶装置によれば、MOSFETと強誘電体キャパシタによりメモリセルを構成する半導体記憶装置であって、前記強誘電体キャパシタが、前記MOSFETのソース領域またはドレイン領域に接続された下部電極、該下部電極上に形成された第1強誘電体膜、該第1強誘電体膜上に形成された中間電極、該中間電極上に形成された第2強誘電体膜及び該第2強誘電体膜上に形成された上部電極からなるので、キャパシタ占有面積を増加させることなく、等価的にキャパシタ面積が増大することにより信号量を確保しながら高集積化が可能となる。

【0016】また、強誘電体キャパシタの上部電極と下部電極とが同一の信号ラインに接続されるとともに、中間電極から分離されている場合には、メモリセル部へのアクセス及び検出のための信号ラインの数が減少され、一層の高集積化が図られる。更に、強誘電体キャパシタが、異なる組成の同一の材料を用いた第1強誘電体膜と第2強誘電体膜からなる、異なる材料を用いた第1強誘電体膜と第2強誘電体膜からなる又は膜厚の異なる同一の材料を用いた第1強誘電体膜と第2強誘電体膜からなる場合には、分極状態が独立に制御でき、一つのメモリセルで強誘電体キャパシタ面積を縮小することなく多値の情報を記録することができるとともに、信号量を確保しながら高集積化を図ることができる。

【0017】本発明の原理を図3、図4を用いて簡単に説明する。図3は本発明における強誘電体膜のヒステリシス曲線の特性を示す図である。図4は本発明の動作原理を示す図である。図3において前記第1強誘電体膜、第2強誘電体膜のそれぞれのヒステリシス曲線の特性を図中のA、Bの特性とする。このときそれぞれの残留分極をPr1、Pr2、抗電界をEc1、Ec2とする。この状態において図4の(a)を初期状態とすると、こ

れは上部電極70、下部電極71を同一信号ラインで接続し、更に、0Vに保ち、中間電極72に図中の-V2を印加することで達成できる。ここでV1、V2、-V1、-V2の大きさを次のように設定する。(図3、図4)

$Ec1 < V1 < Ec2, Ec2 < V2, -Ec1 > -V1 > -Ec2, -Ec2 > -V2$
この中間電極72にV1を印加すると分極状態は図中(b)になる。更に、印加電圧V2を印加すると状態(c)になる。更に、-V1を印加すると状態(d)になり、-V2を印加すると状態(a)に戻る。これにより4つの状態が記録されたことになり、一つのメモリセルに2ビットの多値記録が可能となる(記録)。

【0019】次に状態(a)においてリードパルス-V2を印加すると、A、B共、分極反転は生じず、検出電荷量は非常に小さい。また、状態(b)においてリードパルス-V2を印加すると、Aは分極反転を生じ、Bは分極反転は生じない。即ち、検出電荷量はAの残留分極(Pr1)に対応した量が検出される。次に状態(c)においてリードパルス-V2を印加すると、A、B共、分極反転は生じ、これによる検出電荷量はPr1+Pr2に対応した量となる。状態(d)においてリードパルス-V2を印加すると、Aは分極反転は生じず、Bは分極反転は生じる。これにより、検出電荷量はPr2となる。以上の操作で4状態の検出が可能となる(再生)。

【0020】

【実施例】本発明の半導体記憶装置である強誘電体不揮発性メモリを図面に基づいて説明する。

実施例1

図1に示したように、強誘電体不揮発性メモリの単位セルはシリコン基板上にMOSFETと強誘電体キャパシタから構成されている。

【0021】MOSFETは、P型シリコン基板1上には、膜厚約20nmのゲート酸化膜3を介して膜厚約50nmのポリシリコンによるゲート電極4が形成されており、シリコン基板1の一部に高密度のN型半導体層が形成されて構成されている。N型半導体層の一方は自由電子の供給源として働くソース6として、他方は、ソース6からゲート酸化膜3の界面に形成されたチャネルを通して自由電子が供給されるドレイン5として形成されており、ソース6にはオーミック電極としてソース電極14が接続されている。

【0022】また、シリコン基板1上であって、MOSFETと隣接する位置には絶縁膜を介して膜厚500nmのRuO2によるキャパシタ下部電極8が形成されており、このキャパシタ下部電極8はMOSFETのドレイン5と接続されている。キャパシタ下部電極8上には、膜厚100nmのチタン酸ジルコン酸鉛(PZT)による第1強誘電体膜11を介して膜厚300nmのRuO2による中間電極10が形成されている。さらに中

間電極10上には、第1強誘電体膜11と同一のキャパシタ第2強誘電体膜12を介して膜厚500nmのRuO₂によるキャパシタ上部電極9が形成されている。そして、キャパシタ下部電極8は、キャパシタ上部電極9とA1による接続ライン13によって接続されている。

【0023】このように、強誘電体キャパシタは中間電極10を有する多層キャパシタ構造になっており、キャパシタ上部電極9と下部電極8とが同一信号ライン13によって接続されている。以下、上記不揮発性メモリの製造方法を簡単に説明する。まず、不揮発度10B~10B程度のP型シリコン基板1内に、通常の方法によりMOSFETを作製する。そして、強誘電体キャパシタとして、通常の方法によりRuO₂からなる下部電極8を形成する。次いで、下部電極8上にMOCVD法により、チタン酸ジルコン酸鉛(PZT)薄膜からなる第1強誘電体膜11を堆積し、上記と同様にRuO₂の中間電極10を形成する。さらに、中間電極10上にMOCVD法により、チタン酸ジルコン酸鉛(PZT)薄膜からなる第2強誘電体膜12を堆積する。更に、RuO₂の上部電極9を形成した後に、A1からなる上部電極9と下部電極8の信号ライン13を形成する。

【0024】このように形成された強誘電体不揮発性メモリによれば、メモリ1セル中に占めるキャパシタ部の占有面積を変えることなしに、蓄積電荷量を2倍にすることが可能となる。これにより高集積化時のキャパシタ占有面積減少における検出信号量の減少を抑えることができる。また、上部電極9と下部電極8とが同一の信号ライン13に接続されているので、メモリセル部へのアクセス及び検出のための信号ライン13の数を減少させることができ、一層の素子構造の簡素化及び高集積化を図ることができる。

【0025】実施例2

図2に示したように、基本的な構造および原理は、図1に示す強誘電体不揮発性メモリと同一であり、単位セルはシリコン基板上にMOSFETと強誘電体キャパシタから構成されている。図1に示した不揮発性メモリとの違いは、積層形成されている強誘電体キャパシタが、選択トランジスタであるMOSFETの上部に配置されていることである。即ち、ゲート電極24上に絶縁膜を介して下部電極28を成膜し、下部電極28上に第1強誘電体膜31を形成し、更にその上部に中間電極30、第2強誘電体膜32を形成し、上部電極29を形成した構造となっている。また、上部電極29と下部電極28とを同一の信号ライン33で接続するため、MOSFETのドレイン25と下部電極28とを接続した導電層が、さらに上部電極29とも接続されている。

【0026】このように、MOSFET上に形成された強誘電体キャパシタも、図1の不揮発性メモリと同様の効果を有する。また、強誘電体キャパシタがMOSFET上に形成されているので、さらなる高集積化を図ること

ができる。

実施例3

第1強誘電体膜としてPb(Zr0.5Ti0.5)O₃を100nmで形成し、第2強誘電体膜としてPb(Zr0.4Ti0.6)O₃を100nmで形成した以外は実施例1と同一の強誘電体不揮発性メモリを作製した。

【0027】実施例4

第1強誘電体膜としてPZTを100nmで形成し、第2強誘電体膜としてPLZTを100nmで形成した以外は実施例1と同一の強誘電体不揮発性メモリを作製した。

実施例5

第1強誘電体膜としてPZTを100nmで形成し、第2強誘電体膜としてPZTを200nmで形成した以外は実施例1と同一の強誘電体不揮発性メモリを作製した。

【0028】上記実施例3、4、及び5で示したように、強誘電体キャパシタが、組成の異なる同一の材料を用いた第1強誘電体膜と第2強誘電体膜からなる、異なる材料を用いた第1強誘電体膜と第2強誘電体膜からなる又は膜厚の異なる同一の材料を用いた第1強誘電体膜と第2強誘電体膜からなる強誘電体不揮発性メモリにより、一つのメモリセルで多値記録が可能となった。

【0029】

【発明の効果】本発明の半導体記憶装置によれば、MOSFETと強誘電体キャパシタによりメモリセルを構成する半導体記憶装置であって、前記強誘電体キャパシタが、前記MOSFETのソース領域またはドレイン領域に接続された下部電極、該下部電極上に形成された第1強誘電体膜、該第1強誘電体膜上に形成された中間電極、該中間電極上に形成された第2強誘電体膜及び該第2強誘電体膜上に形成された上部電極からなるので、キャパシタ占有面積を増加させることなく、等価的にキャパシタ面積を増大させることができ、安定に信号量を確保することが可能となった。

【0030】また、強誘電体キャパシタの上部電極と下部電極とが同一の信号ラインに接続されるとともに、中間電極から分離されている上記半導体装置の場合には、メモリセル部へのアクセス及び検出のための信号ラインの数を減少することができ、一層の高集積化を図ることができる。更に、強誘電体キャパシタが、組成の異なる同一の材料を用いた第1強誘電体膜と第2強誘電体膜からなる、異なる材料を用いた第1強誘電体膜と第2強誘電体膜からなる又は強誘電体キャパシタが膜厚の異なる同一の材料を用いた第1強誘電体膜と第2強誘電体膜からなる上記半導体装置の場合には、分極状態を独立に制御することができ、一つのメモリセルで強誘電体キャパシタ面積を縮小することなく多値記録が可能となる。

【0031】つまり、簡単な構造でありながら、半導体記憶装置の大容量化を図ることができ、キャパシタ部の

占有面積を縮小していっても、安定な信号検出が可能となり、信頼性の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明に係る半導体記憶装置の一実施例である強誘電体不揮発性メモリの要部を示す概略断面図である。

【図2】本発明の半導体記憶装置の他の実施例を示す要部の概略断面である。す。

【図3】本発明の半導体装置の第1及び第2強誘電体膜のヒステリシス曲線を示す図である。

【図4】本発明の半導体装置の動作原理を説明するための図である。

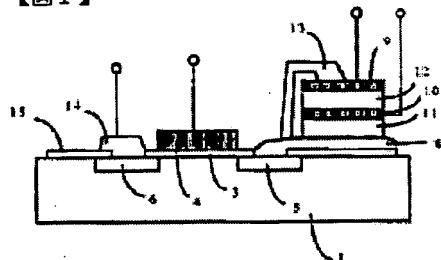
【図5】従来の強誘電体不揮発性メモリの等価回路図である。

【図6】従来の強誘電体不揮発性メモリの要部の概略断面図である。

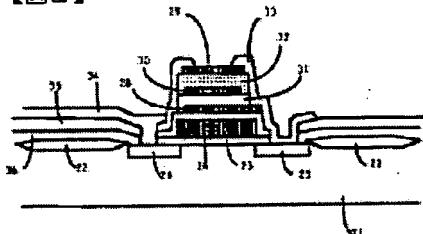
【符号の説明】

- 1, 21, 51 シリコン基板
- 22, 52 素子分離用絶縁膜
- 3, 23, 53 ゲート絶縁膜
- 4, 24, 54 ゲート電極
- 5, 25, 55 ドレイン領域
- 6, 26, 56 ソース領域
- 8, 28, 71 キャパシタ下部電極
- 9, 29, 70 キャパシタ上部電極
- 10, 30, 72 中間電極
- 11, 31 第1強誘電体膜
- 12, 32 第2強誘電体膜
- 13, 33 信号ライン
- 14, 34, 64 ソース電極
- 15, 66 絶縁層

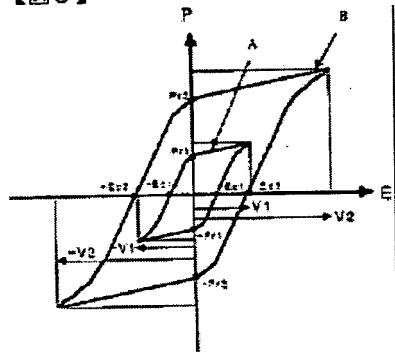
【図1】



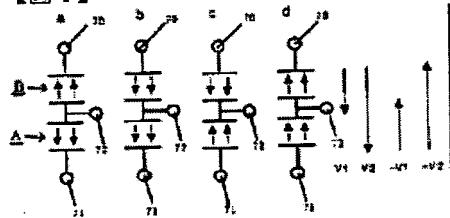
【図2】



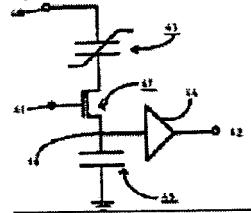
【図3】



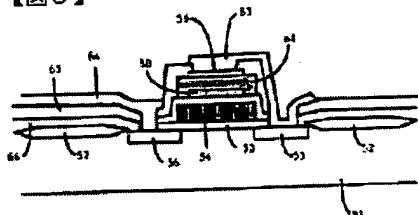
【図4】



【図5】



【図6】



フロントページの続き

60116 講別記号 庁内整理番号 F I

H01L 2622

270

271

272

技術表示箇所

H01L 270 371

○発明者 石川 智弘
大阪府大阪市阿倍野区長池町2番2号 シ
ヤープ株式会社内